

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-110110

(43)Date of publication of application : 11.04.2003

(51)Int.Cl.

H01L 29/786
H01L 21/336
H01L 51/00

(21)Application number : 2001-303217

(71)Applicant : RICOH CO LTD

(22)Date of filing : 28.09.2001

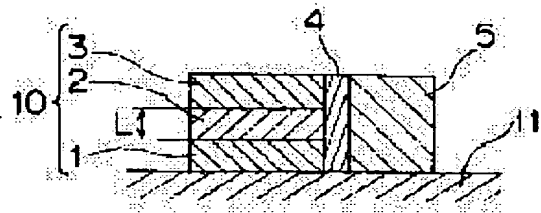
(72)Inventor : AKIYAMA ZENICHI
SASAKI MASAOMI
KOSAKA TOSHIYA
OKADA TAKASHI
TORII MASASHI
KAWAMURA SHINICHI
TANO TAKANORI
KONDO HIROSHI
IECHI HIROYUKI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which a short channel is by reducing a gate length in order to improve practical field mobility, and to provide a method of manufacturing the semiconductor device at a low cost.

SOLUTION: This semiconductor device has an electrode layer 1, a semiconductor layer 2, and a second electrode layer 3, which are successively layered in this order, and a first electrical insulation layer 4 and a third electrode layer 5, which are formed vertically in this order so as to be brought into contact with one-side sidewalls of the layered layers 1, 2, and 3. The first electrode layer 1, the second electrode layer 3, and the third electrode layer 5 are, for instance, a source electrode layer, a drain electrode layer, and a gate electrode layer. The first electrical insulation layer 4 is, for instance, a gate electrical insulation layer. The semiconductor device is, for instance, a vertical field effect transistor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-110110
(P2003-110110A)

(43) 公開日 平成15年4月11日 (2003. 4. 11)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 2 6 A 5 F 1 1 0
21/336			6 1 8 A
51/00			6 1 8 B
		29/28	

審査請求 未請求 請求項の数21 O L (全 11 頁)

(21) 出願番号 特願2001-303217 (P2001-303217)

(22) 出願日 平成13年9月28日 (2001. 9. 28)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 秋山 善一

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(72) 発明者 佐々木 正臣

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(74) 代理人 100060690

弁理士 瀧野 秀雄

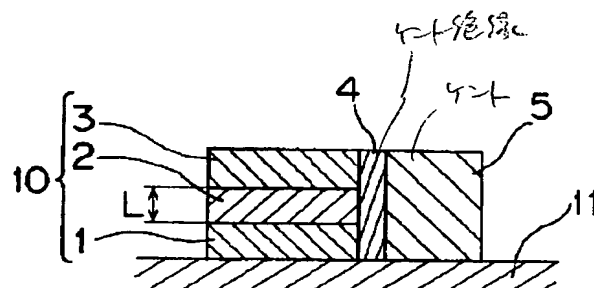
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート長を短くして短チャネル化することにより実行的電界移動度を向上させた半導体装置及びその製造方法を低コストで提供する。

【解決手段】 第1の電極層1、半導体層2及び第2の電極層3が順次積層された半導体装置において、それらの層の一方の側壁に接するように垂直方向に立てて設けた第1の電気絶縁層4及び第3の電極層5を順次有する半導体装置とする。前記第1の電極層1、第2の電極層2及び第3の電極層3は、例えば、ソース電極層、ドレイン電極層及びゲート電極層である。前記第1の電気絶縁層4は、例えば、ゲート電気絶縁層である。半導体装置は、例えば、縦型電界効果トランジスタである。



【特許請求の範囲】

【請求項1】 第1の電極層、半導体層及び第2の電極層が順次積層された半導体装置において、それらの層の一方の側壁に接するように垂直方向に立てて設けた第1の電気絶縁層及び第3の電極層を順次有することを特徴とする半導体装置。

【請求項2】 第1の電極層と半導体層との間及び／又は半導体層と第2の電極層との間にバッファ層を有することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の電極層、半導体層及び第2の電極層の他方の側壁に接するように、垂直方向に立てて設けた第2の電気絶縁層、及び、前記第3の電極層の外側の側壁に接するように垂直方向に設けた第3の電気絶縁層を有することを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記第1の電極層、第2の電極層及び第3の電極層が、それぞれ、ソース電極層、ドレイン電極層及びゲート電極層であることを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 前記第1の電気絶縁層が、ゲート電気絶縁層であることを特徴とする請求項1～4のいずれかに記載の半導体装置。

【請求項6】 前記第2の電気絶縁層及び第3の電気絶縁層が、素子分離電気絶縁層であることを特徴とする請求項1～5のいずれかに記載の半導体装置。

【請求項7】 前記半導体層が、①ナフタレン、アントラセン、テトラセン、ペンタセン、ヘキサセン及びそれらの誘導体よりなる群から選択されるアセン分子材料、②フタロシアニン系化合物、アゾ系化合物及びベリレン系化合物よりなる群から選ばれる顔料及びその誘導体、③ヒドラゾン化合物、トリフェニルメタン化合物、ジフェニルメタン化合物、スチルベン化合物、アリールビニル化合物、ピラゾリン化合物、トリフェニルアミン化合物、フェニレン誘導体及びトリアリールアミン化合物よりなる群から選択される低分子化合物並びにそれらの誘導体、或いは、④ポリ-N-ビニルカルバゾール、ハロゲン化ポリ-N-ビニルカルバゾール、ポリビニルピレン、ポリビニルアントラセン、ポリチオフェン誘導体、チオフェンオリゴマー誘導体、ピレンホルムアルデヒド樹脂、ポリアセチレン誘導体、及び、エチルカルバゾールホルムアルデヒド樹脂よりなる群から選択される高分子化合物、よりなる有機半導体材料で構成されることを特徴とする請求項1～6のいずれかに記載の半導体装置。

【請求項8】 前記半導体層が、酸化亜鉛、酸化スズ等の金属酸化物、或いは、チタン酸ストロンチウム等の複合酸化物よりなる無機半導体材料で構成されることを特徴とする請求項1～6のいずれかに記載の半導体装置。

【請求項9】 前記第1の電気絶縁層、第2の電気絶縁層及び前記第3の電気絶縁層が、ポリビニルアルコー

ル、ポリビニルブチラール、フェノール樹脂、ノボラック樹脂等の水酸基を有する電気絶縁性のポリマー、ポリアクリロニトリル等のシアノ基を有する電気絶縁性のポリマーよりなる群から選択される少なくとも1種の材料で構成されていることを特徴とする請求項1～8のいずれかに記載の半導体装置。

【請求項10】 前記第1の電極層、第2の電極層及び第3の電極層が、クロム(Cr)、タリウム(Ta)、チタン(Ti)、銅(Cu)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、ニッケル(Ni)、金(Au)、パラジウム(Pd)、白金(Pt)、銀(Ag)、錫(Sn)、導電性ポリアニリン、導電性ポリピロール、導電性ポリチアジリ及び導電性ポリマよりなる群から選択される少なくとも1種の材料で構成されていることを特徴とする請求項1～9のいずれかに記載の半導体装置。

【請求項11】 前記半導体装置が絶縁性基板上に形成されることを特徴とする請求項1～10のいずれかに記載の半導体装置。

【請求項12】 前記半導体装置が縦型電界効果トランジスタであることを特徴とする請求項1～11のいずれかに記載の半導体装置。

【請求項13】 (イ) 基板の上に第1の電極層を形成する工程、

(ロ) 前記ソース電極層の右側壁に接するように垂直方向に立てた第1の電気絶縁層、前記第1の電極層の左側壁に接するように立てた第2の電気絶縁層、及び、前記第1の電極層の右側壁より第1の電気絶縁層の幅だけ離して垂直方向に立てた第3の電気絶縁層、を形成する工程、

(ハ) 前記第1の電気絶縁層と第2の電気絶縁層との間の前記第1の電極層の上に半導体層を形成する工程、

(ニ) 前記第1の電気絶縁層と第3の電気絶縁層との間の前記基板の上に第3の電極層を形成する工程、

(ホ) 前記第1の電気絶縁層と第2の電気絶縁層との間の前記半導体層の上に第2の電極層を形成する工程、を順次有することを特徴とする半導体装置の製造方法。

【請求項14】 前記(ロ)の工程で、フォトレジストをスピンコートしてフォトレジスト膜を形成した後、第1の電気絶縁層、第2の電気絶縁層及び第3の電気絶縁層の幅に露光、現像して、第1の電気絶縁層、第2の電気絶縁層及び第3の電気絶縁層を形成することを特徴とする請求項13に半導体装置の製造方法。

【請求項15】 前記(ハ)の工程で、高分子有機半導体材料の溶液をインクジェット法、凸版印刷法、凹版印刷法、オフセット印刷法、スクリーン印刷法等の手段により成膜するか、又は、低分子有機半導体材料を真空蒸着法、分子線蒸着法等の手段により成膜して、半導体層を形成することを特徴とする請求項13又は14に半導体装置の製造方法。

【請求項16】 前記(イ)の工程、(ロ)の工程及び(ハ)の工程で、第1の電極層、第2の電極層及び第3の電極層を、高分子導電性材料の溶液を印刷法、インクジェット法、凸版印刷法、凹版印刷法、オフセット印刷法、スクリーン印刷法等の手段により成膜するか、又は、金属を真空蒸着法、イオンプレーティング法、スパッタリング法、メッキ法等の手段により成膜して、第1の電極層、第2の電極層及び第3の電極層を形成することを特徴とする請求項13～15のいずれかに記載の半導体装置の製造方法。

【請求項17】 前記第1の電極層、第2の電極層及び第3の電極層が、それぞれ、ソース電極層、ドレイン電極層及びゲート電極層であることを特徴とする請求項13～16のいずれかに記載の半導体装置の製造方法。

【請求項18】 前記第1の電気絶縁層が、ゲート電気絶縁層であることを特徴とする請求項13～17のいずれかに記載の半導体装置の製造方法。

【請求項19】 前記第2の電気絶縁層及び第3の電気絶縁層が、素子分離電気絶縁層であることを特徴とする請求項13～18のいずれかに記載の半導体装置の製造方法。

【請求項20】 前記半導体装置が縦型電界効果型トランジスタであることを特徴とする請求項13～19のいずれかに記載の半導体装置の製造方法。

【請求項21】 半導体装置の製造において、基板上に垂直方向に立てて設けた一対の電気絶縁層の間に有機半導体材料の溶液を塗布して有機半導体層及び／又は無機半導体及び／又は導電層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、さらに、詳しくは、ソース電極層、半導体層及びドレイン電極層が順次積層された電気信号によって電流値を制御するシートディスプレイ、シートコンピュータ装置の駆動演算回路として用いられる縦型電界効果型トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】半導体層（活性層）に無機材料を用いた薄膜電界効果型トランジスタは、斯界で知られており

(D. B. Thomasson & al., IEEE El. Dev. Lett., Vol. 18, p.117; March 1997 参照。)、すでに、工業製品としても製造されている。図7は、従来の無機材料を用いた薄膜電界効果型トランジスタである。図7に示すように、従来の無機材料を用いた薄膜電界効果型トランジスタは、基板101に対し、横方向に配置されている。ソース電極層105及びドレイン電極層106は、電気的に中性である無機半導体層（チャンネル層領域）104により分離されて設けられている。ゲート電極102は、ゲート電気絶縁層103により無機半導体層104と電

氣的に分離されて、基板101の上に配置している。無機半導体層104を構成する半導体材料としては、無機アモルファス材料（水素化アモルファスSi）、無機多結晶材料等の無機材料が用いられている。

【0003】また、半導体層に有機材料を用いた薄膜電界効果型トランジスタも、斯界で知られている(A. Dodabalapur & al., Appl. Phys. Lett., Vol. 69, pp. 4227-29, December 1996参照。)。図8は、従来の有機材料を用いた薄膜電界効果型トランジスタである。図8に示すように、この従来の有機材料を用いた薄膜電界効果型トランジスタも、前記無機材料を用いた薄膜電界効果型トランジスタと同様に、基板111に対し、横方向に配置されている。ソース電極層115及びドレイン電極層116は、電気的に中性である有機半導体層（チャンネル層領域）114により分離されて設けられている。ゲート電極112は、ゲート電気絶縁層113により有機半導体層114と電気的に分離されて、基板111の上に配置している。有機半導体層114を構成する半導体材料としては、 π 電子共役系の高分子化合物、芳香族化合物等の有機材料が用いられてきた。

【0004】

【発明が解決しようとする課題】これらの薄膜電界効果型トランジスタは、ゲート絶縁層を介してゲート電極層より印加された電界が半導体層（チャンネル部）に作用して、ソース電極層とドレイン電極層との間に流れる電流を制御することによりトランジスタ動作を実現している。半導体層に有機材料を用いた薄膜電界効果型トランジスタは、半導体層に水素化アモルファスSiのような無機材料を用いた薄膜電界効果型トランジスタと比べて、①真空を用いないで素子を作製できること、②広い面積の均一な素子を作製できること、③ソース／ドレイン領域の形成を行わずに電極配線ができること、等による製造方法の簡便さのために、製造コストを低減できる、という利点を有している。しかしながら、半導体層に有機材料を用いた薄膜電界効果型トランジスタは、半導体層に水素化アモルファスSiのような無機材料を用いた薄膜電界効果型トランジスタと比べて、(イ)キャリア移動度(トランジスタ性能を示す)が低いこと、(ロ)大電流を流せないこと、(ハ)高速動作ができないこと、等の問題があった。

【0005】従来、このような問題を解決するために開発された技術としては、例えば、 π 共役高分子の共役状態を制御する技術、分子電気伝導異方性を用いる技術、等の有機半導体材料に係わる技術、及び、蒸着法にて有機高分子膜を得る際に高い結晶性を実現させる技術があった。

【0006】前記図7に示される従来の無機材料を用いた薄膜電界効果型トランジスタは、ソース電極層とドレイン電極層との間に電圧を印加した状態でゲート電極に電圧を印加して、ゲート電気絶縁層と半導体層との界面

にチャネルを誘起させることにより、ソース電極層とドレイン電極層との間に電流を流すものである。この時のソース電極層とドレイン電極層との間の電流（ I_d ）は、一般に、次の数式で表すことができる。

【0007】

【数1】

$$I_d = \frac{W \cdot C_{ox}}{2 \cdot L} \cdot \mu (V_g - V_{th})^2 \quad (1)$$

但し、数式中における C_{ox} 、 μ 、 V_g 、及び V_{th} は、次のとおりのものである。

C_{ox} : ゲート容量 (F/m^2)

μ : 電界効果移動度 (cm^2/Vs)

V_g : ゲート電圧 (V)

V_{th} : しきい値電圧 (V)

【0008】限られたトランジスタ寸法（ W :ゲート幅、 L :ゲート長）内でトランジスタ性能を向上させるには、より高い I_d 値を実現すればよい。式（1）より、 I_d を向上させる W 、 L 以外の因子としては、 C_{ox} 、 μ の増加が考えられる。従来においては、比誘電率の高い材料を用いて実効的な C_{ox} を向上させたもの（特開平10-270712号公報）、 π 共役系高分子材料の開発により μ を向上させたもの（特開平10-190001号公報）等が報告されているが、式（1）において、特に、 L を減少させることは、高い I_d を得るのに得策である。 Si テクノロジーにおいては、当初 $10\mu m$ 幅のゲート長が、現在では $0.1\mu m$ 程度まで縮小されつつある。これは C_{ox} や μ の開発を行わなくて、 I_d 値において 100 倍の増加をもたらすこととなる。この短ゲート長の傾向は、これまでは、リソグラフィー加工限界の向上に主に依存してきた。前記図8に示される従来の有機材料を用いた薄膜電界効果型トランジスタでは、ゲート長が $10 \sim 5\mu m$ 幅であるものもっぱら試作されているが、リソグラフィー加工技術では、それ以上にゲート長を短くすることは難しいという問題があった。

【0009】有機半導体をトランジスタの製造に用いる利点は、低製造コストであるところ、 Si テクノロジーで開発されたリソグラフィー加工技術を有機半導体を用いたトランジスタの製造に用いることは、有機トランジスタの利点である低製造コストの概念から反するものとなるので、この技術を積極的に採用することはありえないと考えられる。ソフトリソグラフィーなる概念の工法を用いて有機トランジスタを製造することが提案されているが、この工法を用いても前述のとおり $10 \sim 5\mu m$ のゲート長のものしか製造できないのが現状であるので、ゲート長を短くすることは難しいという問題があった。

【0010】本発明は、かかる問題を解決することを目的としている。即ち、本発明は、ゲート長を短くして短チャネル化することにより実行的電界移動度を向上させ

た半導体装置及びその製造方法を低コストで提供することを目的としている。

【0011】

【課題を解決するための手段】本発明者は、電界効果トランジスタの構造を工夫することにより、その実行的電界移動度を向上できないかと考えて、電界効果トランジスタの構造について探求したところ、第1の電極層、半導体層及び第2の電極層が順次積層された半導体装置において、それらの層の一方の側壁に接するように垂直方向に立てて設けた第1の電気絶縁層及び第3の電極層を順次設けたところ、ゲート長を短くして短チャネル化することができ、そのために、実行的電界移動度を向上させることができることを見いだして、本発明を完成するに至った。

【0012】即ち、請求項1に記載された発明は、上記目的を達成するために、第1の電極層、半導体層及び第2の電極層が順次積層された半導体装置において、それらの層の一方の側壁に接するように垂直方向に立てて設けた第1の電気絶縁層及び第3の電極層を順次有することを特徴とする半導体装置である。

【0013】請求項2に記載された発明は、請求項1に記載された発明において、第1の電極層と半導体層との間及び/又は半導体層と第2の電極層との間にバッファ層を有することを特徴とする請求項1に記載の半導体装置。

【0014】請求項3に記載された発明は、請求項1又は2に記載された発明において、前記第1の電極層、半導体層及び第2の電極層の他方の側壁に接するように、垂直方向に立てて設けた第2の電気絶縁層、及び、前記第3の電極層の外側の側壁に接するように垂直方向に設けた第3の電気絶縁層を有することを特徴とするものである。

【0015】請求項4に記載された発明は、請求項1～3のいずれかに記載された発明において、前記第1の電極層、第2の電極層及び第3の電極層が、それぞれ、ソース電極層、ドレイン電極層及びゲート電極層であることを特徴とするものである。

【0016】請求項5に記載された発明は、請求項1～4のいずれかに記載された発明において、前記第1の電気絶縁層が、ゲート電気絶縁層であることを特徴とするものである。

【0017】請求項6に記載された発明は、請求項1～5のいずれかに記載された発明において、前記第2の電気絶縁層及び第3の電気絶縁層が、素子分離電気絶縁層であることを特徴とするものである。

【0018】請求項7に記載された発明は、請求項1～6のいずれかに記載された発明において、前記半導体層が、①ナフタレン、アントラセン、テトラセン、ペンタセン、ヘキサセン及びそれらの誘導体よりなる群から選択されるアセン分子材料、②フタロシアニン系化合物、

10

20

30

40

50

アゾ系化合物及びベリレン系化合物よりなる群から選ばれる顔料及びその誘導体、③ヒドラゾン化合物、トリフェニルメタン化合物、ジフェニルメタン化合物、スチルベン化合物、アリールビニル化合物、ピラゾリン化合物、トリフェニルアミン化合物、フェニレン誘導体及びトリアリールアミン化合物よりなる群から選択される低分子化合物並びにそれらの誘導体、或いは、④ポリ-N-ビニルカルバゾール、ハロゲン化ポリ-N-ビニルカルバゾール、ポリビニルピレン、ポリビニルアントラセン、ポリチオフェン誘導体、チオフェンオリゴマー誘導体、ピレンホルムアルデヒド樹脂、ポリアセチレン誘導体、及び、エチルカルバゾールホルムアルデヒド樹脂よりなる群から選択される高分子化合物、よりなる有機半導体材料で構成されることを特徴とするものである。

【0019】請求項8に記載された発明は、請求項1～6のいずれかに記載された発明において、前記半導体層が、酸化亜鉛、酸化スズ等の金属酸化物、或いは、チタン酸ストロンチウム等の複合酸化物よりなる無機半導体材料で構成されることを特徴とするものである。

【0020】請求項9に記載された発明は、請求項1～8のいずれかに記載された発明において、前記第1の電気絶縁層、第2の電気絶縁層及び前記第3の電気絶縁層が、ポリビニルアルコール、ポリビニルブチラール、フェノール樹脂、ノボラック樹脂等の水酸基を有する電気絶縁性のポリマー、ポリアクリロニトリル等のシアノ基を有する電気絶縁性のポリマーよりなる群から選択される少なくとも1種の材料で構成されていることを特徴とするものである。

【0021】請求項10に記載された発明は、請求項1～9のいずれかに記載された発明において、前記第1の電極層、第2の電極層及び第3の電極層が、クロム(Cr)、タリウム(Ta)、チタン(Ti)、銅(Cu)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、ニッケル(Ni)、金(Au)、パラジウム(Pd)、白金(Pt)、銀(Ag)、錫(Sn)、導電性ポリアニリン、導電性ポリピロール、導電性ポリチアジル及び導電性ポリマよりなる群から選択される少なくとも1種の材料で構成されていることを特徴とするものである。

【0022】請求項11に記載された発明は、請求項1～10のいずれかに記載された発明において、前記半導体装置が絶縁性基板上に形成されることを特徴とするものである。

【0023】請求項12に記載された発明は、請求項1～11のいずれかに記載された発明において、前記半導体装置が縦型電界効果トランジスタであることを特徴とするものである。

【0024】請求項13に記載された発明は、(i) 基板の上に第1の電極層を形成する工程、(v) 前記ソース電極層の右側壁に接するように垂直方向に立てた第1の電

気絶縁層、前記第1の電極層の左側壁に接するように立てた第2の電気絶縁層、及び、前記第1の電極層の右側壁より第1の電気絶縁層の幅だけ離して垂直方向に立てた第3の電気絶縁層、を形成する工程、(h) 前記第1の電気絶縁層と第2の電気絶縁層との間の前記第1の電極層の上に半導体層を形成する工程、(c) 第1の電気絶縁層と第3の電気絶縁層との間の前記基板の上に第3の電極層を形成する工程、(k) 第1の電気絶縁層と第2の電気絶縁層との間の前記半導体層の上に第2の電極層を形成する工程、を順次有することを特徴とする半導体装置の製造方法である。

【0025】請求項14に記載された発明は、請求項13に記載された発明において、前記(v)の工程で、フォトレジストをスピンコートしてフォトレジスト膜を形成した後、第1の電気絶縁層、第2の電気絶縁層及び第3の電気絶縁層の幅に露光、現像して、第1の電気絶縁層、第2の電気絶縁層及び第3の電気絶縁層を形成することを特徴とするものである。

【0026】請求項15に記載された発明は、請求項13又は14に記載された発明において、前記(h)の工程で、高分子有機半導体材料の溶液をインクジェット法、凸版印刷法、凹版印刷法、オフセット印刷法、スクリーン印刷法等の手段により成膜するか、又は、低分子有機半導体材料を真空蒸着法、分子線蒸着法等の手段により成膜して、半導体層を形成することを特徴とするものである。

【0027】請求項16に記載された発明は、請求項13～15のいずれかに記載された発明において、前記(i)の工程、(c)の工程及び(k)の工程で、第1の電極層、第2の電極層及び第3の電極層を、高分子導電性材料の溶液を印刷法、インクジェット法、凸版印刷法、凹版印刷法、オフセット印刷法、スクリーン印刷法等の手段により成膜するか、又は、金属を真空蒸着法、イオンプレーティング法、スパッタリング法、メッキ法等の手段により成膜して、第1の電極層、第2の電極層及び第3の電極層を形成することを特徴とするものである。

【0028】請求項17に記載された発明は、請求項13～16のいずれかに記載された発明において、前記第1の電極層、第2の電極層及び第3の電極層が、それぞれ、ソース電極層、ドレイン電極層及びゲート電極層であることを特徴とするものである。

【0029】請求項18に記載された発明は、請求項13～17のいずれかに記載された発明において、前記第1の電気絶縁層が、ゲート電気絶縁層であることを特徴とするものである。

【0030】請求項19に記載された発明は、請求項13～18のいずれかに記載された発明において、前記第2の電気絶縁層及び第3の電気絶縁層が、素子分離電気絶縁層であることを特徴とするものである。

【0031】請求項20に記載された発明は、請求項1

10

20

30

40

50

3～19のいずれかに記載された発明において、前記半導体装置が縦型電界効果トランジスタであることを特徴とするものである。

【0032】請求項21に記載された発明は、半導体装置の製造において、基板上に垂直方向に立てて設けた一对の電気絶縁層の間に有機半導体材料の溶液を塗布して有機半導体層及び／又は無機半導体及び／又は導電層を形成することを特徴とする半導体装置の製造方法である。

【0033】

【発明の実施の形態】図1は、本発明の一実施の形態を示す半導体装置の断面図である。図2は、本発明の他の一実施の形態を示す半導体装置の断面図である。図3は、本発明の他の一実施の形態を示す半導体装置の断面図である。図4は、本発明の半導体装置を駆動させるための電気的接続と動作を説明するための説明図である。図5は、本発明の一実施の形態を示す半導体装置の製造工程を説明するための説明図である。図6は、マイクロコンタクトプリンティングの工程を説明するための説明図である。

【0034】図1に示されているように、本発明の半導体装置（縦型電界効果トランジスタ）は、第1の電極層1（ソース電極）、半導体層2（半導体領域）及び第2の電極層3（ドレイン電極）が順次積層された半導体装置において、それらの層の一方の側壁に接するように垂直方向に立てて設けた第1の電気絶縁層4（ゲート電気絶縁膜）及び第3の電極層5（ゲート電極）を順次有している。

【0035】図1、4に示されているように、本発明の半導体装置によれば、電流（ I_d ）を基板11の面に直交する方向に流し、そして、活性領域10の一方の外側に設けられた第3の電極層から第1の電気絶縁層4を介して半導体層2、即ち、半導体領域に電界が印加する構造となっているので、半導体層2の膜厚（上記式（1）におけるゲート長 L に相当する）をいっそう薄くすることができ、そのために、フォトリソグラフィ加工を用いなくても、ゲート長 L を短くして飛躍的な短チャネル長を構造的に実現でき、その結果、トランジスタ性能、即ち、実行電界移動度を向上させることができる。また、半導体装置の構造がシンプルであるので、製造工程を簡略化することができ、そのために、半導体装置の製造コストを低減することができる。

【0036】図2に示されているように、本発明の半導体装置は、好ましくは、第1の電極層1と半導体層2との間及び／又は半導体層2と第2の電極層3との間にバッファ層8、9を有することができる。第1の電極層1と半導体層2との間及び／又は半導体層2と第2の電極層3との間にバッファ層8、9を有していると、第1の電極層1及び第2の電極層3と半導体層2との間に良好な電気的コンタクトを得ることができる。バッファ

層8、9は、例えば、印刷法、インクジェット法等のより形成可能な導電性高分子材料で形成され、また、ポリアニリンやポリジオキシチオフェンなどのほか、有機EL材料で周知になっている電荷移送材を真空蒸着法にて形成してもよい。また、他のバッファ層機能として、トランジスタオフ電流の低減の機能を保有させてもよい。電気伝導に寄与する伝導キャリアには電子とホールとの二者が存在し、ホール輸送型の半導体材料のバッファ層としては、電子輸送機能を有する材料を用い、また、電子輸送型半導体材料のバッファ層膜としては、ホール輸送機能を有する材料を用いてもよい。このように、構成された素子においては、キャリアは、半導体層とバッファ層の界面に形成された僅かな電位障壁を越えて伝導するので、特に、トランジスタオフ電流の低減に効果的に作用する。

【0037】本発明の半導体装置は、前記第1の電極層1、半導体層2及び第2の電極層3の他方の側壁、即ち、活性領域10の他方の側壁に接するように、垂直方向に立てて設けた第2の電気絶縁層6、及び、前記第3の電極層5の外側の側壁に接するように垂直方向に設けた第3の電気絶縁層7を有することができる。このような第2の電気絶縁層6及び第3の電気絶縁層7は、素子分離をするのに有効であり、また、本発明の半導体装置を製造する際において、第1の電極層1、半導体層2及び第2の電極層3を縦方向に順次、成膜するための型枠として、また、第3の電極層5を成膜するための型枠として有効に作用する。

【0038】前記半導体層は、好ましくは、①ナフタレン、アントラセン、テトラセン、ペンタセン、ヘキサセン及びそれらの誘導体よりなる群から選択されるアセ分子材料、②フタロシアニン系化合物、アゾ系化合物及びベリレン系化合物よりなる群から選ばれる顔料及びその誘導体、③ヒドラゾン化合物、トリフェニルメタン化合物、ジフェニルメタン化合物、スチルベン化合物、アリールビニル化合物、ピラゾリン化合物、トリフェニルアミン化合物、フェニレン誘導体及びトリアリールアミン化合物よりなる群から選択される低分子化合物並びにそれらの誘導体、或いは、④ポリ-N-ビニルカルバゾール、ハロゲン化ポリ-N-ビニルカルバゾール、ポリビニルピレン、ポリビニルアントラセン、ポリチオフェン誘導体、チオフェンオリゴマー誘導体、ビレンホルムアルデヒド樹脂、ポリアセチレン誘導体、及び、エチルカルバゾールホルムアルデヒド樹脂よりなる群から選択される高分子化合物、よりなる有機半導体材料で構成される。また、フルオレノン系、ジフェノキノン系、ベンゾキノ系、アントラキノ系、インデノン系化合物も使用可能である。このように、半導体を構成する材料が有機半導体材料であるので、高分子有機半導体材料では、その溶液を印刷法、インクジェット法等の手段により成膜することができ、また、低分子有機半導体材料で

は、これを真空蒸着法等の手段により成膜することができるので、極めて薄い有機半導体層を低コストで形成することができる。

【0039】また、前記半導体層は、酸化亜鉛、酸化スズ等の金属酸化物、或いは、チタン酸ストロンチウム等の複合酸化物よりなる無機半導体材料で構成されてもかまわない。このように、無機半導体材料を真空蒸着法等の手段により成膜できるので、極めて薄い無機半導体層を低コストで形成することができる。

【0040】前記第1の電気絶縁層、第2の電気絶縁層及び前記第3の電気絶縁層は、ポリビニルアルコール、ポリビニルブチラール、フェノール樹脂、ノボラック樹脂等の水酸基を有する電気絶縁性のポリマー、ポリアクリロニトリル等のシアノ基を有する電気絶縁性のポリマーよりなる群から選択される少なくとも1種の材料で構成されている。

【0041】前記第1の電極層、第2の電極層及び第3の電極層は、クロム(Cr)、タリウム(Ta)、チタン(Ti)、銅(Cu)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、ニッケル(Ni)、金(Au)、パラジウム(Pd)、白金(Pt)、銀(Ag)、錫(Sn)、導電性ポリアニリン、導電性ポリピロール、導電性ポリチアジル及び導電性ポリマよりなる群から選択される少なくとも1種の材料で構成されている。

【0042】本発明の半導体装置は、絶縁性基板11上に形成されて、縦型電界効果トランジスタとして有効に用いられる。

【0043】本発明の半導体装置の製造例

本発明の半導体装置(縦型電界効果トランジスタ)は、図6(A)～(E)に示されるように、(イ)基板11の上に第1の電極層1(ソース電極)を形成する工程(A)、(ロ)前記第1の電極層1の右側壁に接するように垂直方向に立てた第1の電気絶縁層4(ゲート電気絶縁膜)、前記第1の電極層の左側壁に接するように立てた第2の電気絶縁層6(素子分離電気絶縁膜)、及び、前記第1の電極層1の右側壁より第1の電気絶縁層5(ゲート電気絶縁膜)の幅だけ離して垂直方向に立てた第3の電気絶縁層7(素子分離電気絶縁膜)、を形成する工程(B)、(ハ)前記第1の電気絶縁層4と第2の電気絶縁層6との間の前記第1の電極層1の上に半導体層2を形成する工程(C)、(ニ)第1の電気絶縁層4と第3の電気絶縁層7との間の前記基板11の上に第3の電極層5(ゲート電極)を形成する工程(D)、(ホ)第1の電気絶縁層4と第2の電気絶縁層6との間の前記半導体層2の上に第2の電極層3(ドレイン電極)を形成する工程(E)、を順次経て製造される。なお、図6(C)において、イは、活性層領域であり、ロはゲート電極領域である。

【0044】前記(イ)工程においては、第1の電極層1

は、例えば、ガラス基板(11)の上に金(Au)を蒸着法等の周知の薄膜形成法により成膜することにより形成される。一般に、ガラス基板とAu膜は密着力が乏しいので、密着層として、クロム(Cr)、チタン(Ti)、タリウム(Ta)等の金属膜を配置するのが好ましい。Au膜を用いる場合には、アルカンチオール系有機材料がAu膜表面に自己制御単分子吸着膜を形成するので、マイクロコンタクトブリッジング法を用いて、基板上の全面に成膜したAu膜の所望する領域にアルカンチオールの転写を行い、続いて、ウェットエッチングにより露出している部分のAu膜を除去して、電極パターン、即ち、第1の電極層1を形成する。

【0045】前記「マイクロコンタクトブリッジング法」は、図5(a)～(h)に示すように、

①マスター(主として、Si基板)21を準備する工程(a)、

②前記マスター21の上にレジスト22を全面に被覆する工程(b)、

③フォトリソグラフィ・エッチングにて前記レジスト22の所望箇所を除去してマスター21にパターンを形成する工程(c)、

④残余の前記レジスト22を除去する工程(d)

⑤このパターンを形成したマスター21の上にポリジメチルシロキサン(23)を流し込み、これを熱処理する工程(e)、

⑥この熱処理したポリジメチルシロキサン(23)をマスター21から剥がして版23を形成する工程(f)、

⑦このようにして形成した版23にアルカンチオールインク24を付ける工程(g)、

⑧このアルカンチオールインク24をインク付けした版23を用いて基板に成膜されたAu蒸着膜上に転写する工程(h)、を順次へて行われる。

【0046】前記ポリジメチルシロキサンは、柔軟な樹脂であるが、マスターパターンからの転写する条件を適正化すれば、この樹脂で形成した版は、5μm程度の解像度を有している。このようにして形成した版にアルカンチオールインクを付け、Au蒸着膜に転写することで、アルカンチオール自己制御組織化膜が形成される。この組織化膜は、Auとチオール基が結合し、両面にはアルキル基が露出しているために、よう素/よう化アンモニウム水溶液のような極性溶媒エッチング液にAu蒸着膜基板を浸漬すると、アルカンチオールの無い部位のみがエッチングされる(前記本発明の(A)工程参照)。従来のフォトリソグラフィ・エッチングでは、その都度、レジスト塗布、露光、現像、エッチング、及び、レジスト剥離を順次経てパターン膜を得る方法と比較すると、このような「マイクロコンタクトブリッジング法」を用いれば、一度、版を作製するのみで、多量の膜加工が出来、製造コストの低減に好適である。

【0047】前記(ウ)の工程においては、好ましくは、フォトレジストをスピンコートしてフォトレジスト膜を形成した後、第1の電気絶縁層4、第2の電気絶縁層6及び第3の電気絶縁層7の幅に露光、現像して、第1の電気絶縁層4、第2の電気絶縁層6及び第3の電気絶縁層7を形成する。このような第1の電気絶縁層4第2の電気絶縁層6及び第3の電気絶縁層7は、本発明の半導体装置を製造する際において、第1の電極層1、半導体層2及び第2の電極層3を縦方向に順次、成膜するための型枠として、また、第3の電極層5を成膜するための型枠として有効に作用するが、半導体装置を形成した後においては、第1の電気絶縁層4は、電気絶縁膜（ゲート電気絶縁膜）として作用し、また、第2の電気絶縁層6及び第3の電気絶縁層7は、素子分離膜として作用する。しかし、第2の電気絶縁層6及び第3の電気絶縁層7は、素子分離膜として用いないのであれば、すべての膜を形成した後、除去してもかまわない。

【0048】前記第1の電気絶縁膜4の材料は、前記式(1)で示されるC₁₀を高めるため、比誘電率の高いものが好ましい。有機材料は、各種加工性に優れているので、このような電気絶縁膜に特に好ましい。ノボラック樹脂にナフトキノンジアジド紫外線感光基を導入した、所謂ポジ型フォトレジストは、有機材料の中では、比較的比誘電率が高いので好ましい。前記基板11の上に、フォトレジストを塗布、プリベークした後、高圧水銀ランプにて露光処理、現像処理、及び、ポストベーク処理を順次施して、これらの電気絶縁膜を形成する。この際、後工程でのレジスト膜変質を防ぐためにUVキュア処理、280℃以下のハードベーク処理を行ってもよい。

【0049】本発明においては、好ましくは、前記(ハ)の工程で、高分子有機半導体材料の溶液をインクジェット法、凸版印刷法、凹版印刷法、オフセット印刷法、スクリーン印刷法等の手段により成膜するか、又は、低分子有機半導体材料を真空蒸着法、分子線蒸着法等の手段により成膜して、半導体層を形成する。また、真空成膜法を用いる場合には、酸化亜鉛、酸化スズ等の金属酸化物、チタン酸ストロンチウム等の複合酸化物からなる無機半導体材料も成膜出来る。

【0050】本発明においては、好ましくは、前記(イ)の工程、(ニ)の工程及び(ホ)の工程で、第1の電極層、第2の電極層及び第3の電極層を、高分子導電性材料の溶液を印刷法、インクジェット法、凸版印刷法、凹版印刷法、オフセット印刷法、スクリーン印刷法等の手段により成膜するか、又は、金属を真空蒸着法、イオンプレーティング法、スパッタリング法、メッキ法等の手段により成膜して、第1の電極層、第2の電極層及び第3の電極層を形成する。

【0051】本発明の半導体の製造方法によれば、電流(I_d)を基板の面に直交する方向に流し、そして、活

性領域の一方の外側に設けられた第3の電極層から第1の電気絶縁層を介して半導体層、即ち、半導体領域、に電界を印加する構造の半導体装置を製造できるので、半導体層の膜厚(上記式(1)におけるゲート長Lに相当する)を低コストでいっそう薄くすることができ、そのために、フォトリソグラフィ加工を用いなくても、ゲート長Lを短くして飛躍的な短チャネル長を構造的に実現でき、その結果、トランジスタ性能、即ち、実行的電界移動度を向上させることができる。

10 【0052】本発明においては、半導体装置の製造において、基板の上に垂直方向に立てて設けた一対の電気絶縁層の間に有機半導体材料の溶液を塗布して有機半導体層及び／又は無機半導体及び／又は導電層を形成する。このように、基板の上に垂直方向に立てて設けた一対の電気絶縁層の間に有機半導体材料の溶液を塗布して有機半導体層及び／又は無機半導体及び／又は導電層を形成すると、基板の上に垂直方向に立てて設けた一対の電気絶縁層が有機半導体層及び／又は無機半導体及び／又は導電層を成膜するための型枠として有効に作用するので、有機半導体層及び／又は無機半導体及び／又は導電層を低コストで成膜することができる。

【0053】

【実施例】(実施例1)

(1) ガラス基板上に密着膜としてCr膜を30nm幅に成膜し、続いて、このCr膜の上にAu膜を70nm幅に成膜した。

20 (2) 前記Au膜上にアルカンチオールインクをインク付けした版を用いて転写し、この基板をよう素／よう化アンモニウム水溶液よりなるエッチング液に浸漬して、Au膜をエッチングし、続いて、この基板を硝酸セリウムアンモニウムを含む硝酸水溶液に浸漬してCr膜をエッチングすることにより第1の電極層(ソース電極)を形成した。

30 (3) フォトレジスト(東京応化社製、OFPR800)を前記基板上にスピンコーティングしてレジスト膜を成膜し、続いて、このレジスト膜を所望するパターンに露光、現像した後、ポストベーク及びUVキュアを施して、前記第1の電極層の右側壁に接するように垂直方向に立てた第1の電気絶縁層(ゲート電極)、前記第1の電極層の左側壁に接するように立てた第2の電気絶縁層(素子分離電気絶縁膜)、及び、前記第1の電極層の右側壁より第1の電気絶縁層5の幅だけ離して垂直方向に立てた第3の電気絶縁層(素子分離電気絶縁膜)を形成した。その際、トランジスタ動作部としての活性層の幅は、200μmとした。

40 (4) 前記第1の電気絶縁層と第2の電気絶縁層との間の前記第1の電極層1の上に、精製したポリヘキシルチオフェン(市販品)をクロロホルムに溶解した溶液としてインクジェット法にて成膜して、半導体層を形成した。その際、有機半導体濃度を0.5重量%以下とした

ので、約100nm厚以下の半導体層の形成が可能になった。

(5)そして、前記第1の電気絶縁層と第3の電気絶縁層との間の前記基板の上に導電性高分子溶液(バイエル社製、PEDOT)を用いて第3の電極層(ゲート電極)を形成することにより半導体装置(縦型電界効果トランジスタ)とした。

【0054】(比較例1)高濃度にホウ素をドーピングしたSiウェハよりなる基板を水蒸気酸化して前記基板に100nmの熱酸化膜を形成した後、その基板の裏面に形成された熱酸化膜を弗酸水溶液にて除去し、続いて、基板上にAl電極を形成した。次に、ソース・ドレイン電極としてAu/Cr膜を積層し、これらの膜にフォトリソグラフィ・エッチングによりパターンを成した。トランジスタ動作部の寸法は、 $W=20\mu m$ 、 $L=5\mu m$ とした。そして、ポリヘキシルチオフェンよりなる半導体層をスピニングにより形成して、横型電界効果トランジスタとした。

【0055】以上、実施例1で得られた半導体装置(縦型電界効果トランジスタ)及び比較例1で得られた横型電界効果トランジスタの性能を試験した。実施例1で得られた半導体装置は、ソース/ドレイン電圧:20V及びゲート電圧:20Vにおいて、ソース/ドレイン電流として、5.6 μA の電流値が測定された。一方、比較例1で得られた横型電界効果トランジスタは、ソース/ドレイン電圧:20V及びゲート電圧:20Vにおいて、ソース/ドレイン電流として、60nAの電流値が測定された。上記式(1)に基づき電界効果移動度を算出したところ、実施例1で得られた半導体装置の電流値は、 $2 \times 10^{-4} cm^2 / V \cdot s$ に相当した。したがって、半導体装置(縦型電界効果トランジスタ)は、従来の横型電界効果トランジスタよりも、約100倍のトランジスタ性能が向上したことがわかる。

【0056】

【発明の効果】(1)請求項1, 4, 5, 9~12に記載された発明によれば、半導体装置が、電流(I_d)を基板の面に直交する方向に流し、そして、活性領域の一方の外側に設けられた第3の電極層から第1の電気絶縁層を介して半導体層、即ち、半導体領域、に電界が印加する構造となっているので、半導体層の膜厚(上記式(1)におけるゲート長 L に相当する)をいっそう薄くすることができ、そのために、フォトリソグラフィ加工を用いなくても、ゲート長 L を短くして飛躍的な短チャネル長を構造的に実現でき、その結果、トランジスタ性能、即ち、実行的電界移動度を向上させることができる。また、半導体装置の構造がシンプルであるので、製造工程を簡略化することができ、そのために、半導体装置の製造コストを低減することができる。

【0057】(2)請求項2に記載された発明によれば、第1の電極層及び第2の電極層と半導体層との間に

良好な電気的コンタクトを得ることができる。

【0058】(3)請求項3, 6に記載された発明によれば、第2の電気絶縁層及び第3の電気絶縁層は、素子分離をするのに有効であり、また、本発明の半導体装置を製造する際において、第1の電極層、半導体層及び第2の電極層を縦方向に順次、成膜するための型枠として、また、第3の電極層を成膜するための型枠として有効に作用する。

【0059】(4)請求項7, 8に記載された発明によれば、半導体を構成する材料が有機半導体材料及び無機半導体材料であるので、高分子有機半導体材料では、その溶液を印刷法、インクジェット法等の手段により成膜することができ、また、低分子有機半導体材料では、これを真空蒸着法等の手段により成膜することができ、さらに、無機半導体材料では、これを真空蒸着法等の手段により成膜できるので、極めて薄い半導体層を低コストで形成することができる。

【0060】(5)請求項13~20に記載された発明によれば、半導体装置が、電流(I_d)を基板の面に直交する方向に流し、そして、活性領域の一方の外側に設けられた第3の電極層から第1の電気絶縁層を介して半導体層、即ち、半導体領域、に電界が印加する構造の半導体装置を製造できるので、半導体層の膜厚(上記式(1)におけるゲート長 L に相当する)を低コストでいっそう薄くすることができ、そのために、フォトリソグラフィ加工を用いなくても、ゲート長 L を短くして飛躍的な短チャネル長を構造的に実現でき、その結果、トランジスタ性能、即ち、実行的電界移動度を向上させることができる。

【0061】(6)請求項21に記載された発明によれば、基板の上に垂直方向に立てて設けた一対の電気絶縁層の間に有機半導体材料の溶液を塗布して有機半導体層及び/又は無機半導体及び/又は導電層を形成すると、基板の上に垂直方向に立てて設けた一対の電気絶縁層が有機半導体層及び/又は無機半導体及び/又は導電層を成膜するための型枠として有効に作用するので、有機半導体層及び/又は無機半導体及び/又は導電層を低コストで成膜することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態を示す半導体装置の断面図である。

【図2】本発明の他の一実施の形態を示す半導体装置の断面図である。

【図3】本発明の他の一実施の形態を示す半導体装置の断面図である。

【図4】本発明の半導体装置を駆動させるための電気的接続と動作を説明するための説明図である。

【図5】本発明の一実施の形態を示す半導体装置の製造工程を説明するための説明図である。

【図6】マイクロコンタクトブリッジングの工程を説

17

18

明するための説明図である。

【図7】従来の無機材料を用いた薄膜電界効果型トランジスタである。

【図8】従来の有機材料を用いた薄膜電界効果型トランジスタである。

【符号の説明】

1 第1の電極層（ソース電極層）

2 半導体層

* 3 第2の電極層（ドレイン電極層）

4 第1の電気絶縁層（ゲート電気絶縁層）

5 第3の電極層（ゲート電極層）

6 第2の電気絶縁層（素子分離電気絶縁層）

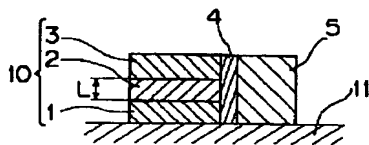
7 第3の電気絶縁層（素子分離電気絶縁層）

8, 9 バッファ層

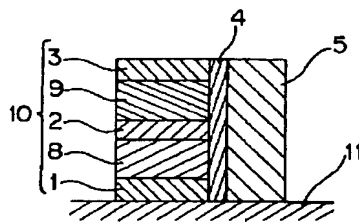
10 活性領域

* 11 基板

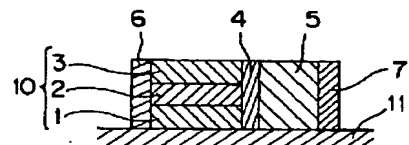
【図1】



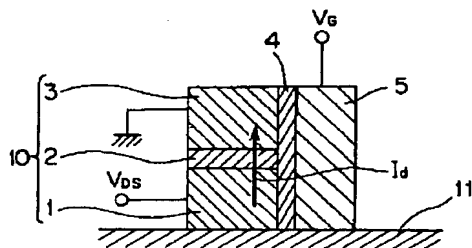
【図2】



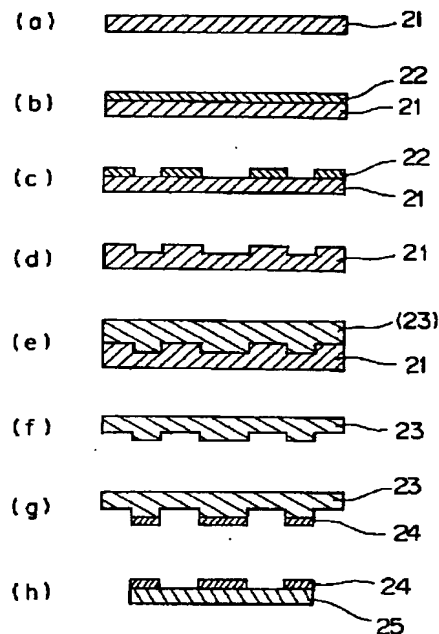
【図3】



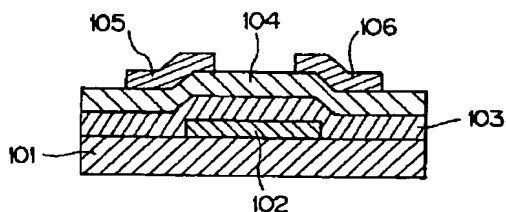
【図4】



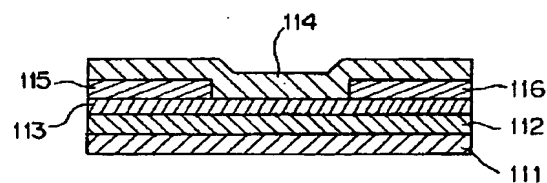
【図5】



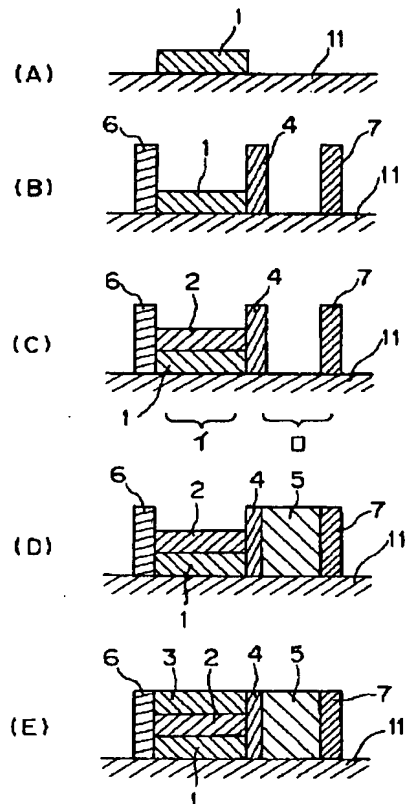
【図7】



【図8】



【図6】



フロントページの続き

(72)発明者 匂坂 俊也
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 岡田 崇
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 鳥居 昌史
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 河村 慎一
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 田野 隆徳
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 近藤 浩
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 家地 洋之
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

Fターム(参考) 5F110 AA01 AA16 CC09 DD02 EE01
EE02 EE03 EE04 FF01 GG01
GG04 GG05 GG41 GG42 HK01
HK02 HK03 HK04 HK21 QQ06